

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 9月24日
Date of Application:

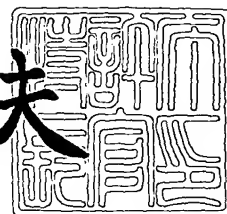
出願番号 特願2002-277289
Application Number:
[ST. 10/C]: [JP 2002-277289]

出願人 ローム株式会社
Applicant(s):

2003年 8月11日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3064444

【書類名】 特許願

【整理番号】 PR000549

【提出日】 平成14年 9月24日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 13/12

【発明の名称】 DMA コントローラ

【請求項の数】 1

【発明者】

【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

【氏名】 三浦 弘

【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

【代理人】

【識別番号】 100085501

【弁理士】

【氏名又は名称】 佐野 静夫

【手数料の表示】

【予納台帳番号】 024969

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0113515

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 DMA コントローラ

【特許請求の範囲】

【請求項 1】 CPU が DMA 転送の設定を行うための設定用レジスタと、
前記設定用レジスタに記憶されているデータを書き込むための動作用レジスタ
又は前記データを用いて計数動作を行う動作用カウンタと、

DMA 転送を開始するにあたって前記設定用レジスタに記憶されているデータ
が前記動作用レジスタ又は動作用カウンタに書き込むように制御する動作制御手
段と、

前記動作用レジスタ又は動作用カウンタに記憶されているデータに基づいて D
MA 転送を実行する転送実行手段と、
を備えたことを特徴とする DMA コントローラ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、CPU（中央処理装置）を介することなく周辺装置間で行われるデ
ータ転送を制御する DMA コントローラに関するものである。

【0 0 0 2】

【従来の技術】

DMA コントローラは、周辺装置からデータ転送の要求を受けると、システム
バスの使用権を CPU 等のバスコントローラに対して要求し、システムバスの使
用権が認可されると、予め設定された転送元から転送先へのデータ転送を開始す
るようになっている。そして、DMA コントローラの制御によるデータ転送（以
下、「DMA 転送」と称する）では、CPU の制御によるデータ転送とは違って
、命令のリード及び解読が必要ないので、データの転送速度を高速にすることが
可能となる。

【0 0 0 3】

従来の DMA コントローラでは、CPU によって DMA 転送が設定されるレジ
スタ（DMA 転送を実行するために必要な転送元のアドレス、転送先のアドレス

などの情報が書き込まれるレジスタ) の値に基づいてDMA転送を実行するようになっていた。

【0 0 0 4】

【特許文献1】

特開平7-306825号公報

【0 0 0 5】

【発明が解決しようとする課題】

このため、使用中のDMAチャンネル(設定したDMA転送が終了していないチャンネル)にDMA転送の設定を行うことができなかった。したがって、CPUは、あるタスクでDMA転送を行おうとしたときに、全てのDMAチャンネルが使用中である場合には、DMA転送が終了するのを待つ必要があった。これは、タスクスイッチングを招いてCPUの処理時間が浪費される原因となる。

【0 0 0 6】

そこで、本発明は、タスクスイッチング等によるCPUの処理時間の浪費を低減させることができるようにしたDMAコントローラを提供することを目的とする。

【0 0 0 7】

【課題を解決するための手段】

上記の目的を達成するため、本発明のDMAコントローラでは、
CPUがDMA転送の設定を行うための設定用レジスタと、
前記設定用レジスタに記憶されているデータを書き込むための動作用レジスタ又は前記データを用いて計数動作を行う動作用カウンタと、
DMA転送を開始するにあたって前記設定用レジスタに記憶されているデータが前記動作用レジスタ又は動作用カウンタに書き込むように制御する動作制御手段と、
前記動作用レジスタ又は動作用カウンタに記憶されているデータに基づいてDMA転送を実行する転送実行手段と、
を備えている。

【0 0 0 8】

この構成により、DMA転送を開始するにあたって設定用レジスタの値を動作用レジスタに書き込むとともに、カウンタ群の値に基づいてDMA転送を実行するので、DMA転送に必要な情報を設定用レジスタに書き込むことによって、使用中のDMAチャンネルに対してもDMA転送の設定を行うことができるようになる。

【0009】

【発明の実施の形態】

以下に、本発明の実施形態を図面を参照しながら説明する。本発明の一実施形態であるDMAコントローラは、そのブロック図を図1に示すように、調停回路1、並びに、4つのDMAチャンネル2-1、2-2、2-3、及び、2-4を備えている。

【0010】

各DMAチャンネル2-1、2-2、2-3、2-4は、その回路構成を図2に示すように、シーケンサ201、レジスタコントローラ202、CTLレジスタ203、SRCレジスタ204、DSTレジスタ205、CYCレジスタ206、TRNレジスタ207、SETレジスタ208、SRCカウンタ209、DSTカウンタ210、TMP_CYCレジスタ211、CYCカウンタ212、TRNカウンタ213、及び、CUR_SETレジスタ214を備えている。

【0011】

調停回路1は、システムバス300の使用権の調停、シーケンサ201の制御等を行う。各DMAチャンネル2-1、2-2、2-3、2-4では、シーケンサ201が、調停回路1による制御の下で、CTLレジスタ203、SRCカウンタ209、DSTカウンタ210、CYCカウンタ212、CUR_SETレジスタ214、及び、レジスタコントローラ202内のレジスタ（不図示）の内容に基づいてDMA転送を実行する。

【0012】

レジスタコントローラ202は、シーケンサ201からの指示、並びに、CTLレジスタ203、CYCカウンタ212、TRNカウンタ213、CUR_SETレジスタ214、及び、自身のレジスタの内容に基づいて、SRCカウンタ

209、DSTカウンタ210、TMP_CYCレジスタ211、CYCカウンタ212、TRNカウンタ213、及び、CUR_SETレジスタ214の動作の制御、並びに、自身のレジスタの書き換えを行う。

【0013】

CTLレジスタ203、SRCレジスタ204、DSTレジスタ205、CYCレジスタ206、TRNレジスタ207、及び、SETレジスタ208には、DMA転送を実行するために必要な情報がCPUによって書き込まれる。具体的には、CTLレジスタ203には、DMA転送を制御するための情報が書き込まれる。SRCレジスタ204には、データの転送元の領域（データを読み出す領域）の先頭のアドレスが書き込まれる。DSTレジスタ205には、データの転送先の領域（データを書き込む領域）の先頭のアドレスが書き込まれる。

【0014】

CYCレジスタ206には、1回のDMA転送におけるサイクル数（尚、1サイクルは、1回読み出して1回書き込むという動作である）に応じた値が書き込まれる。TRNレジスタ207には、DMA転送を行う回数に応じた値が書き込まれる。SETレジスタ208には、DMA転送に関するその他の情報（1サイクルで転送するデータのサイズ、転送元アドレス及び転送先アドレスを1サイクル毎に更新する／しないなど）が書き込まれる。

【0015】

尚、SRCレジスタ204に保持されているデータはSRCカウンタ209に、DSTレジスタ205に保持されているデータはDSTカウンタ210に、CYCレジスタ206に保持されているデータはTMP_CYCレジスタ211及びCYCカウンタ212に、TRNレジスタ207に保持されているデータはTRNカウンタ213に、SETレジスタ208に保持されているデータはCUR_SETレジスタ214に、それぞれ与えられている。TMP_CYCレジスタ211に保持されているデータはCYCカウンタ212に与えられている。

【0016】

調停回路1の具体的な動作について説明する。入力信号DMA_REQ_x（_x = 1、2、3、または、4）がアサートされると、DMAチャンネル2 - _x に対

してDMA転送が要求されたと認識する。また、DMA転送待ちのチャンネル（DMA転送が要求されたが、まだ、DMA転送を実行していないチャンネル）があれば、システムバスの使用权をCPU等からなるバスコントローラに対して要求する（具体的には、出力信号BUS__REQをアサートさせる）。

【0017】

また、システムバスの使用权が認可されると（具体的には、入力信号BUS__ACKがアサートされると）、DMA転送待ちのチャンネルのうちの最も優先度が高いチャンネルのシーケンサ201へのスタート信号をアサートさせる。また、システムバスの使用权が取り下げられると（具体的には、入力信号BUS__ACKがネゲートされると）、シーケンサ201へのスタート信号をネゲートさせる。

【0018】

また、バスコントローラ（不図示）からDMA待機命令が発行される（具体的には、入力信号DMA__WAITがアサートされると）、各DMAチャンネル2-1、2-2、2-3、2-4のシーケンサ201へのウェイト信号をアサートさせる。また、DMA待機命令が解除される（具体的には、入力信号DMA__WAITがネゲートされると）、シーケンサ201へのウェイト信号をネゲートさせる。

【0019】

尚、バスコントローラは、DMAコントローラがアクセスしたアドレスに対するデータの読み出しあるいは書き込みが完了する前に次の動作に移行しないように、DMAコントローラがアクセスしたアドレスに応じて信号DMA__WAITを制御するようになっている。

【0020】

また、DMAチャンネルのシーケンサ201からCYCカウンタ212にアンダーフローが発生した旨の通知を受けると、そのシーケンサ201へのスタート信号をネゲートさせ、その後、DMA転送待ちのチャンネルがある場合には、システムバスの使用权が認可されていれば、そのうちの優先度が最も高いチャンネルのシーケンサ201へのスタート信号をアサートさせ、一方、DMA転送待ち

のチャンネルがない場合には、システムバスを解放する（具体的には、出力信号 BUS__REQ をネゲートさせる）。尚、システムバスを解放すると、システムバスの使用权が取り下げられるようになっている。

【0021】

また、DMAチャンネルのシーケンサ201からDMA転送が終了した旨の通知を受けると、そのシーケンサ201へのスタート信号をネゲートさせるとともに、システムバスを解放する。

【0022】

DMAチャンネルのシーケンサ201の動作を図3に示すフローチャートを用いて説明する。まず、CTLレジスタ203のENBビットが1であるか否かを判定する（#101）。ENBビットが1であれば（#101のY）、#102へ移行する。

【0023】

尚、CPUは、使用中でないチャンネルに対して、DMA転送の設定を終えると、すなわち、CTLレジスタ203、SRCレジスタ204、DSTレジスタ205、CYCレジスタ206、TRNレジスタ207、及び、SETレジスタ208にDMA転送に必要な情報を書き込むと、CTLレジスタ203のENBビットを1にセットするようになっている。

【0024】

#102では、CTLレジスタ203のRESUMビットが1、MOD1ビットが1、MOD0ビットが0、かつ、レジスタコントローラ202内のレジスタのEOP__Oビットが1であるか否かを判定する。#102での判定結果が肯定であれば（#102のY）、アイドル状態であるとして前述した#101へ移行し、一方、否定であれば（#102のN）、アイドル状態からロード&ウェイト状態に遷移する旨をレジスタコントローラ202に通知する（#103）。

【0025】

尚、CPUは、CTLレジスタ203のENBビットを0にセットすることによりDMA転送を中断させ、その後、ENBビットを1にセットすることによりDMA転送を再開させるに先立って、CTLレジスタ203のRESUMビット

を1にセットするようになっている。

【0026】

#103を終えると、CTLレジスタ203のENBビットが1であるか否かを判定する(#104)。ENBビットが1であれば(#104のY)、アイドル状態は解除されたものとして#105へ移行し、一方、ENBビットが1でなければ(#104のN)、まだアイドル状態であると判断して前述した#101へ移行する。

【0027】

#105では、調停回路1からのスタート信号がアサートされているか否かを判定する。スタート信号がアサートされていれば(#105のY)、#106へ移行し、一方、スタート信号がアサートされていなければ(#105のN)、前述した#104へ移行する。

【0028】

#106では、SRCカウンタ209の値に対応するアドレスからデータを自身のバッファに読み込む。#106を終えると、調停回路1からのウェイト信号がアサートされているか否かを判定し(#107)、ウェイト信号がアサートされていなければ(#107のN)、#108へ移行する。

【0029】

#108では、リード状態からライト状態に遷移する旨をレジスタコントローラ202に通知する。#108を終えると、#106で読み込んだデータをDS Tカウンタ210の値に対応するアドレスに書き込む(#109)。次に、ウェイト信号がアサートされているか否かを判定し(#110)、ウェイト信号がアサートされていなければ(#110のN)、#112へ移行する。

【0030】

#112では、レジスタコントローラ202内のレジスタのEOP__Oビットが1であるか否かを判定する。EOP__Oビットが1であれば(#112のY)、DMA転送が終了した旨を調停回路1に通知する(#113)。一方、EOP__Oビットが1でなければ(#112のN)、後述する#123へ移行する。

【0031】

#113を終えると、CTLレジスタ203のCEPEビットが1であるか否かを判定する(#114)。CEPEビットが1であれば(#114のY)、割り込み信号を用いてDMA転送が終了した旨をCPUに通知し(#115)、その後、#116へ移行する。一方、CEPEビットが1でなければ(#114のN)、#115を行うことなく、#116へ移行する。

【0032】

#116では、CTLレジスタ203のMOD1ビット、MOD0ビットが共に0であるか否かを判定する。#116での判定結果が肯定であれば(#116のY)、CTLレジスタ203のENBビットに0をセットするとともに(#117)、ライト状態からアイドル状態に遷移する旨をレジスタコントローラ202に通知する(#118)。#118を終えると、前述した#101へ移行する。一方、#116での判定結果が否定であれば(#116のN)、#119へ移行する。

【0033】

#119では、CTLレジスタ203のMOD1ビットが1であるか否かを判定する。MOD1ビットが1であれば(#119のY)、MOD1ビット、MOD0ビットを共に0にセットする(#120)とともに、CTLレジスタ203のCEPEビットの値をCTLレジスタ203のNEPEビットの値で更新する(#121)。

【0034】

一方、MOD1ビットが1でなければ(#119のN)、#120を行うことなく、#121を行う。#121を終えると、ライト状態からロード&ウエイト状態に遷移する旨をレジスタコントローラ202に通知し(#125)、その後、前述した#104へ移行する。

【0035】

#112での判定結果が否定であるとき(#112のN)に移行する#123では、CYCカウンタ212にアンダーフローが発生しているか否かを判定する。CYCカウンタ212にアンダーフローが発生していれば(#123のY)、CYCカウンタ212にアンダーフローが発生した旨を調停回路1に通知する(

#124)とともに、ライト状態からロード&ウェイト状態に遷移する旨をレジスタコントローラ202に通知する(#125)。#125を終えると、前述した#104へ移行する。

【0036】

一方、CYCカウンタ212にアンダーフローが発生していなければ(#123のN)、ライト状態からリード状態に遷移する旨をレジスタコントローラ202に通知する(#126)。#126を終えると、前述した#104へ移行する。

【0037】

レジスタコントローラ202の動作を図4及び図5に示すフローチャートを用いて説明する。レジスタコントローラ202は、シーケンサ201からの状態遷移の通知を監視している(#201、#205、#213、及び、#214)。

【0038】

まず、アイドル状態からロード&ウェイト状態に遷移する旨の通知をシーケンサ201から受けた場合について説明する。このときには、#201での判定結果が肯定になり(#201のY)、自身のレジスタのEOP__Oビットが1、または、CTLレジスタ203のRESUMビットが0であるか否かを判定する(#202)。

【0039】

#202での判定結果が肯定であれば(#202のY)、SRCカウンタ209の値をSRCレジスタ204の値で、DSTカウンタ210の値をDSTレジスタ205の値で、TMP__CYCレジスタ211及びCYCカウンタ212の値をCYCレジスタ206の値で、TRNカウンタ213の値をTRNレジスタ207の値で、CUR__SETレジスタ214の値をSETレジスタ208の値で、それぞれ更新する(#203)。#203を終えると、自身のレジスタのEOP__Oビットを0にセットする(#204)。

【0040】

次に、リード状態からライト状態に遷移する旨の通知をシーケンサ201から受けた場合について説明する。このときには、#205での判定結果が肯定にな

り（#205のY）、CUR_SETレジスタ214のDSDIRビットが1であるか否かを判定する（#206）。

【0041】

DSDIRビットが1であれば（#206のY）、SRCカウンタ209の値を1だけインクリメントさせ（#207）、その後、#208へ移行する。一方、DSDIRビットが1でなければ（#206のN）、#207を行うことなく、#208へ移行する。

【0042】

#208では、CYCカウンタ212の値を1だけデクリメントさせる。#208を終えると、CYCカウンタ212にアンダーフローが発生しているか否かを判定する（#209）。CYCカウンタ212にアンダーフローが発生していれば（#209のY）、TRNカウンタ213の値が0であるか否かを判定する（#210）。

【0043】

TRNカウンタ213の値が0でなければ（#210のN）、TRNカウンタ213の値を1だけデクリメントさせる（#211）。一方、TRNカウンタ213の値が0であれば（#210のY）、自身のレジスタのEOP_Oビットを1にセットする（#212）。

【0044】

次に、ライト状態からアイドル状態に遷移する旨の通知、または、ライト状態からリード状態に遷移する旨の通知をシーケンサ201から受けた場合について説明する。このときには、#213での判定結果が肯定になり（#213のY）、CUR_SETレジスタ214のDDDIRビットが1であるか否かを判定する（#218）。DDDIRビットが1であれば（#218のY）、DSTカウンタ210の値を1だけインクリメントさせる（#219）。

【0045】

次に、ライト状態からロード&ウエイト状態に遷移する旨の通知をシーケンサ201から受けた場合について説明する。このときには、#214での判定結果が肯定になり（#214のY）、自身のレジスタのEOP_Oビットが1である

か否かを判定する（#215）。

【0046】

EOP__Oビットが1であれば（#215のY）、SRCカウンタ209、DSTカウンタ210、TMP__CYCレジスタ211及びCYCカウンタ212、TRNカウンタ213、CUR__SETレジスタ214の値を、それぞれSRCレジスタ204、DSTレジスタ205、CYCレジスタ206、TRNレジスタ207、SETレジスタ208の値で更新するとともに（#203）、自身のレジスタのEOP__Oビットを0にセットする（#204）。一方、EOP__Oビットが1でなければ（#215のN）、CYCカウンタ212にアンダーフローが発生しているか否かを判定する（#216）。

【0047】

CYCカウンタ212にアンダーフローが発生していれば（#216のY）、CYCカウンタ212の値をTMP__CYCレジスタ211の値で更新し（#217）、その後、#218へ移行する。一方、CYCカウンタ212にアンダーフローが発生していなければ（#216のN）、#217を行うことなく、#218へ移行する。

【0048】

#218では、CUR__SETレジスタ214のDDDIRビットが1であるか否かを判定する。DDDIRビットが1であれば（#218のY）、DSTカウンタ210の値を1だけインクリメントさせる（#219）。

【0049】

以上に述べたシーケンサ201及びレジスタコントローラ202の動作により、各DMAチャンネルでは、DMA転送を開始するにあたって、レジスタ群（SRCレジスタ204、DSTレジスタ205、CYCレジスタ206、TRNレジスタ207、及び、SETレジスタ208）の値をカウンタ群（SRCカウンタ209、DSTカウンタ210、TMP__CYCレジスタ211、CYCカウンタ212、TRNカウンタ213、及び、CUR__SETレジスタ214）に書き込むとともに、カウンタ群の値に基づいてDMA転送を実行する。

【0050】

したがって、DMA転送に必要な情報を任意のタイミングでレジスタ群に書き込むことによって、使用中のDMAチャンネルに対してもDMA転送の設定を行うことができるようになる。これにより、あるタスクでDMA転送を行おうとしたときに、全てのDMAチャンネルが使用中であっても、DMA転送の終了を待つことなくDMA転送の設定を行うことができる可能性が生まれ、タスクスイッチング等によるCPUの処理時間の浪費を低減させることができる。

【0051】

また、CTLレジスタ203のMOD1ビット及びMOD0ビットに応じて動作が以下のように異なる。DMA転送が終了したときに、MOD1ビット、MOD0ビットが共に0にセットされていれば、アイドル状態（DMA転送が禁止された状態）になる（以下、「ノーマルモード」と称する）。

【0052】

DMA転送が終了したときに、MOD1ビットが0、MOD0ビットが1にそれぞれセットされていれば、ロード&ウェイト状態（カウンタ群の値をレジスタ群の値で更新してDMA転送が要求されるのを待っている状態）になるので、CPUの介在なしで次のDMA転送が開始される（以下、「オートリピートモード」と称する）。

【0053】

DMA転送が終了したときに、MOD1ビットが1にセットされていれば、MOD1ビット、MOD0ビットを共に0にセットしてからロード&ウェイト状態になるので、CPUの介在なしで次のDMA転送が開始されるが、そのDMA転送が終了すると、アイドル状態になる（以下、「オートスタートモード」と称する）。

【0054】

したがって、CPUは、使用中でないDMAチャンネルに対してDMA転送を設定した場合にはノーマルモードに、設定したDMA転送が繰り返し行われるようにしたい場合にはオートリピートモードに、使用中のDMAチャンネルに対してDMA転送を設定した場合にはオートスタートモードに、それぞれDMAチャンネルの動作モードが切り換わるように、CTLレジスタ203のMOD1ビッ

ト及びMOD0ビットを書き換えればよい。

【0055】

また、DMA転送が終了したときに、CTLレジスタ203のCEPEビットが0であれば、DMA転送が終了した旨を通知する割り込みをCPUに対して行わない。したがって、CPUは、次のDMA転送の設定を行ったときには、CEPEビットを0にセットしておけば、1つ前に設定したDMA転送が終了してもDMAコントローラから割り込みを受けないので、DMAコントローラからの無意味な割り込みがなくなり、その分だけ多くの時間を他の処理に費やすことができるようになる。

【0056】

尚、CPUは、システムバスの使用权を持っているときには、CTLレジスタ203の値を書き換えることによって、DMAチャンネルの動作モード、及び、DMA転送終了時の割り込みの有無をいつでも切り換えることができるので、状況の変化に容易に対応することができる。

【0057】

その他には、CYCレジスタ206に設定された値をp、TRNレジスタ207に設定された値をqとすると、DMA転送が要求される毎に(p+1)サイクルのDMA転送を行い、その後、新たなDMA転送要求が発生するまで待機状態になる。そして、(q+1)回目のDMA転送の要求に対してDMA転送を行った時点で動作を終了する。すなわち、(p+1)サイクルのDMA転送を(q+1)回行うことになる。

【0058】

したがって、CPUは、AサイクルのDMA転送をB回だけ繰り返し行いたい場合、CYCレジスタ206の値をA-1に、TRNレジスタの値をB-1にそれぞれ設定するという作業を一度だけ行えばよく、これにより、CPUの負担が軽減するので、その分、システムの性能低下を抑制することができる。

【0059】

【発明の効果】

以上説明したように、本発明のDMAコントローラによれば、使用中のDMA

チャンネルに対してもDMA転送の設定を行うことができるようになるので、あるタスクでDMA転送を行おうとしたときに、全てのDMAチャンネルが使用中であっても、DMA転送の終了を待つことなくDMA転送の設定を行うことができる可能性が生まれ、タスクスイッチング等によるCPUの処理時間の浪費を低減させることができる。

【図面の簡単な説明】

【図1】 本発明の一実施形態であるDMAコントローラのブロック図である。

【図2】 図1における各DMAチャンネルの回路構成を示す図である。

【図3】 図2におけるシーケンサの動作を説明するためのフローチャートである。

【図4】 図2におけるレジスタコントローラの動作を説明するためのフローチャートである。

【図5】 図2におけるレジスタコントローラの動作を説明するためのフローチャートである。

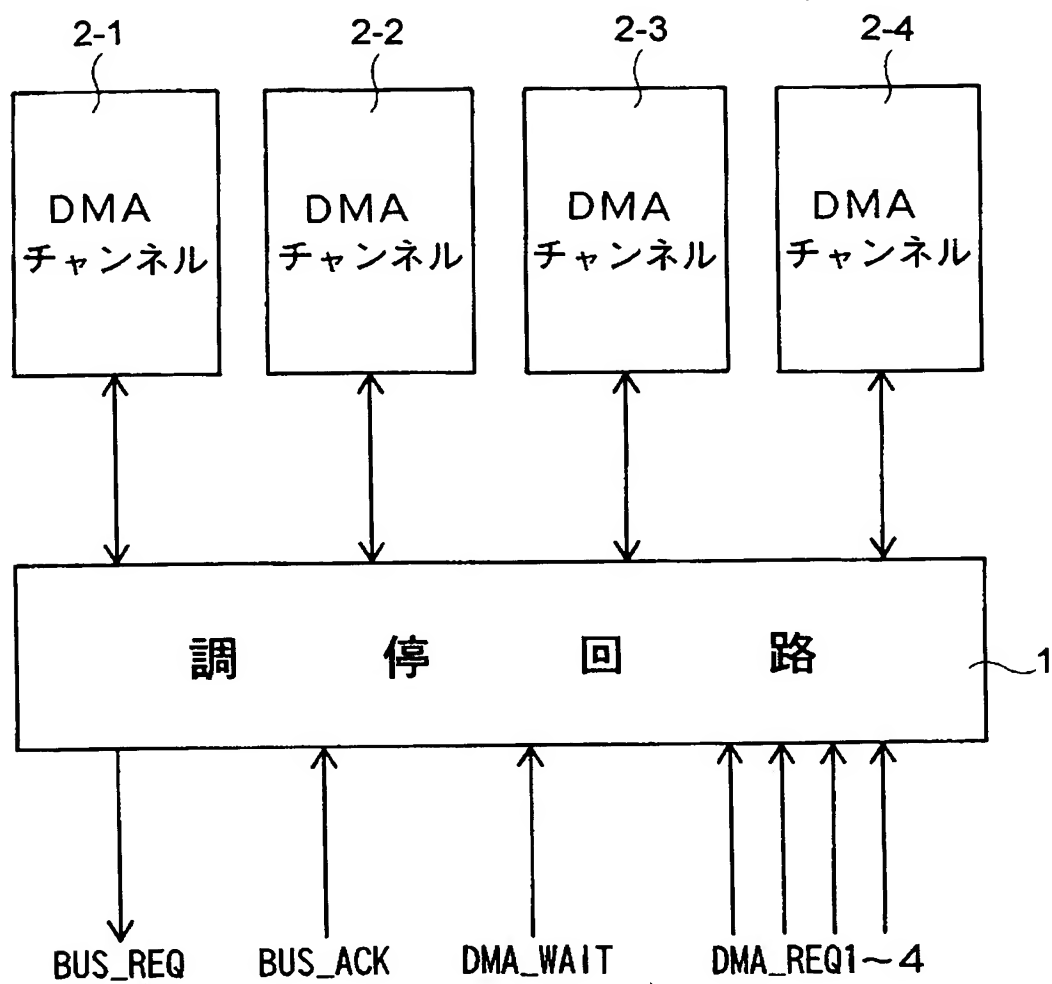
【符号の説明】

- 1 調停回路
- 2-1、2-2、2-3、2-4 DMAチャンネル
- 201 シーケンサ
- 202 レジスタコントローラ
- 203 CTLレジスタ
- 204 SRCレジスタ
- 205 DSTレジスタ
- 206 CYCレジスタ
- 207 TRNレジスタ
- 208 SETレジスタ
- 209 SRCカウンタ
- 210 DSRカウンタ
- 211 TMP_CYCレジスタ

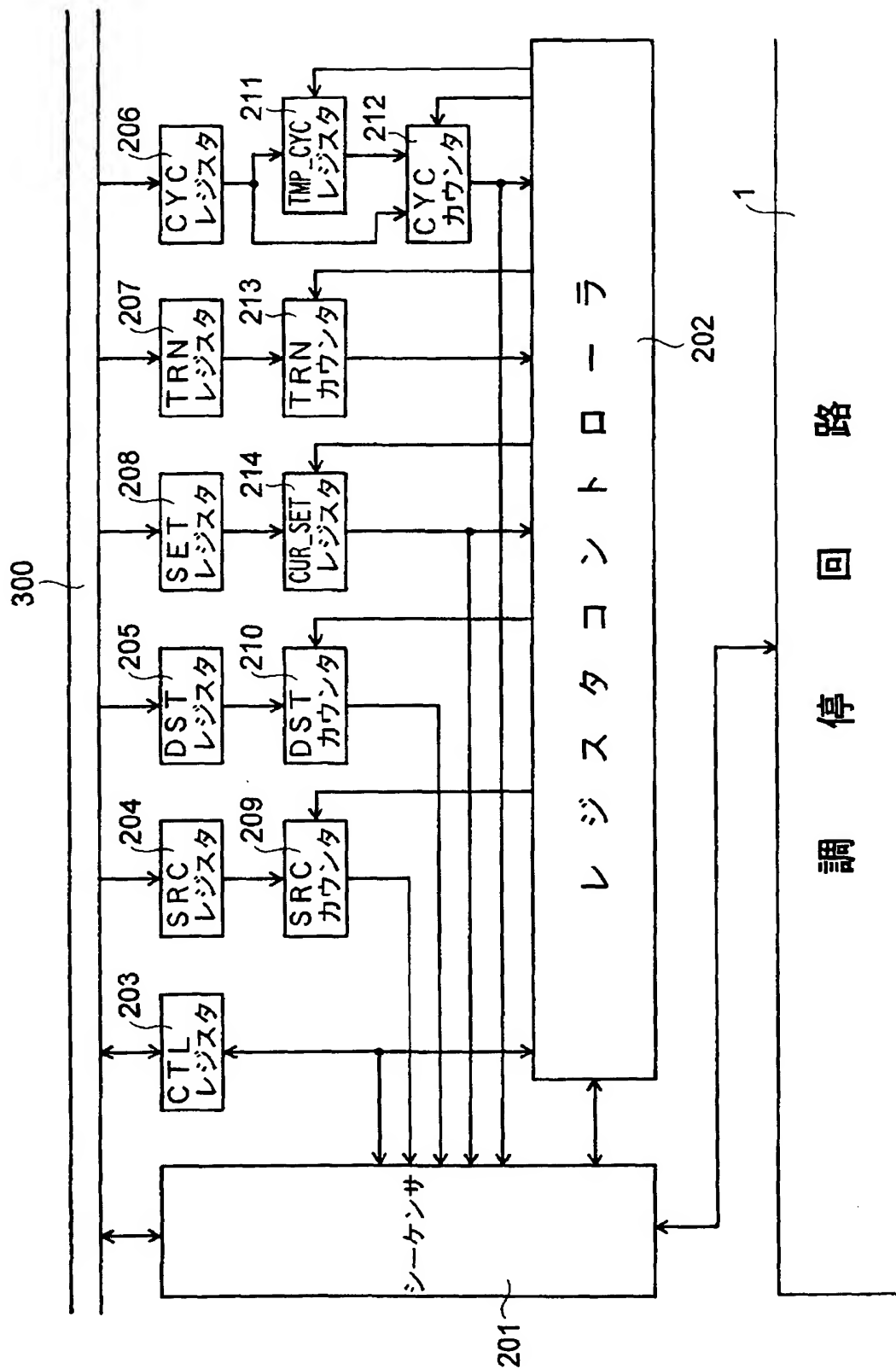
2 1 2	C Y C カウンタ
2 1 3	T R N カウンタ
2 1 4	C U R _ S E T レジスタ
3 0 0	システムバス

【書類名】 図面

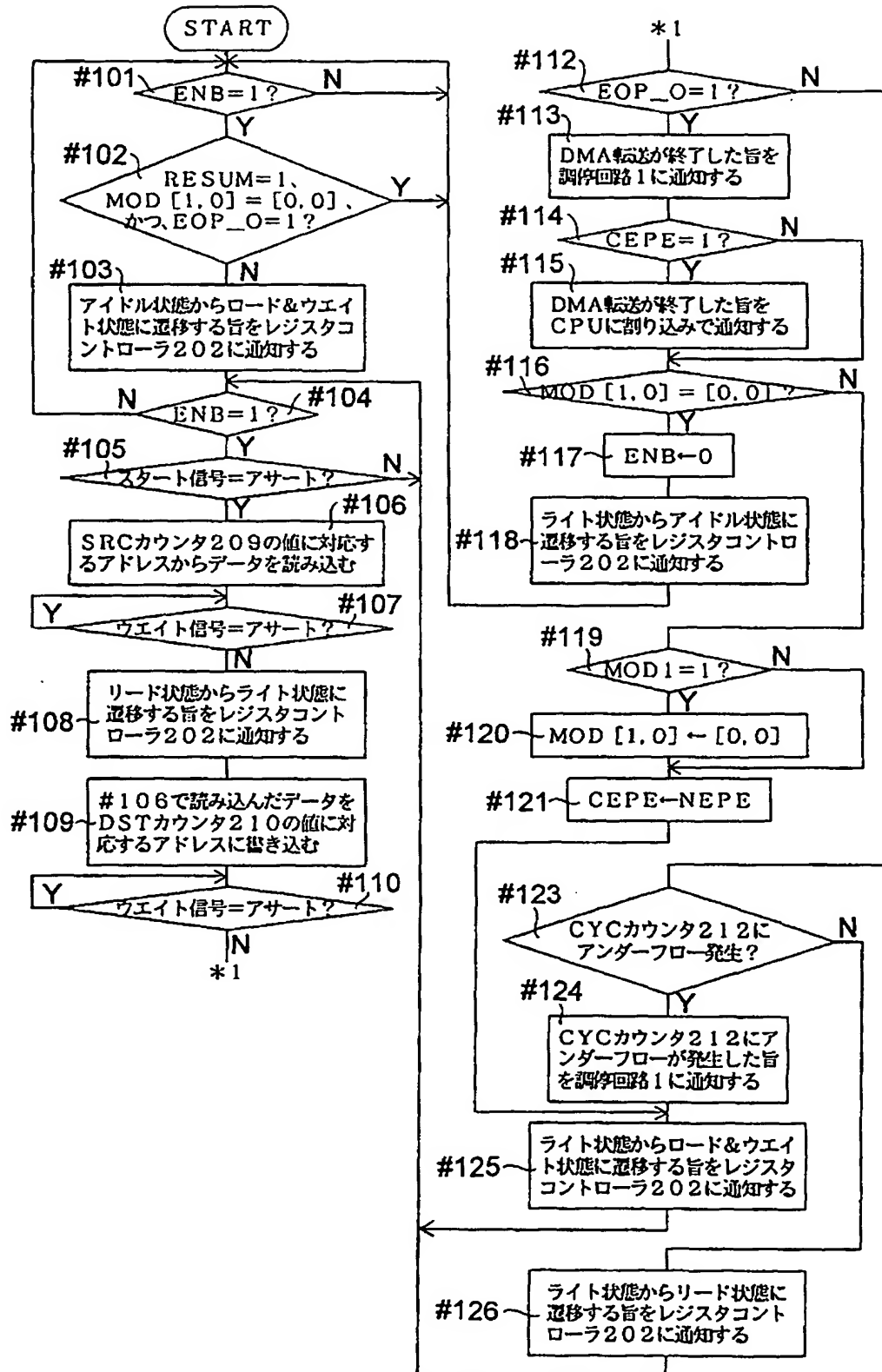
【図 1】



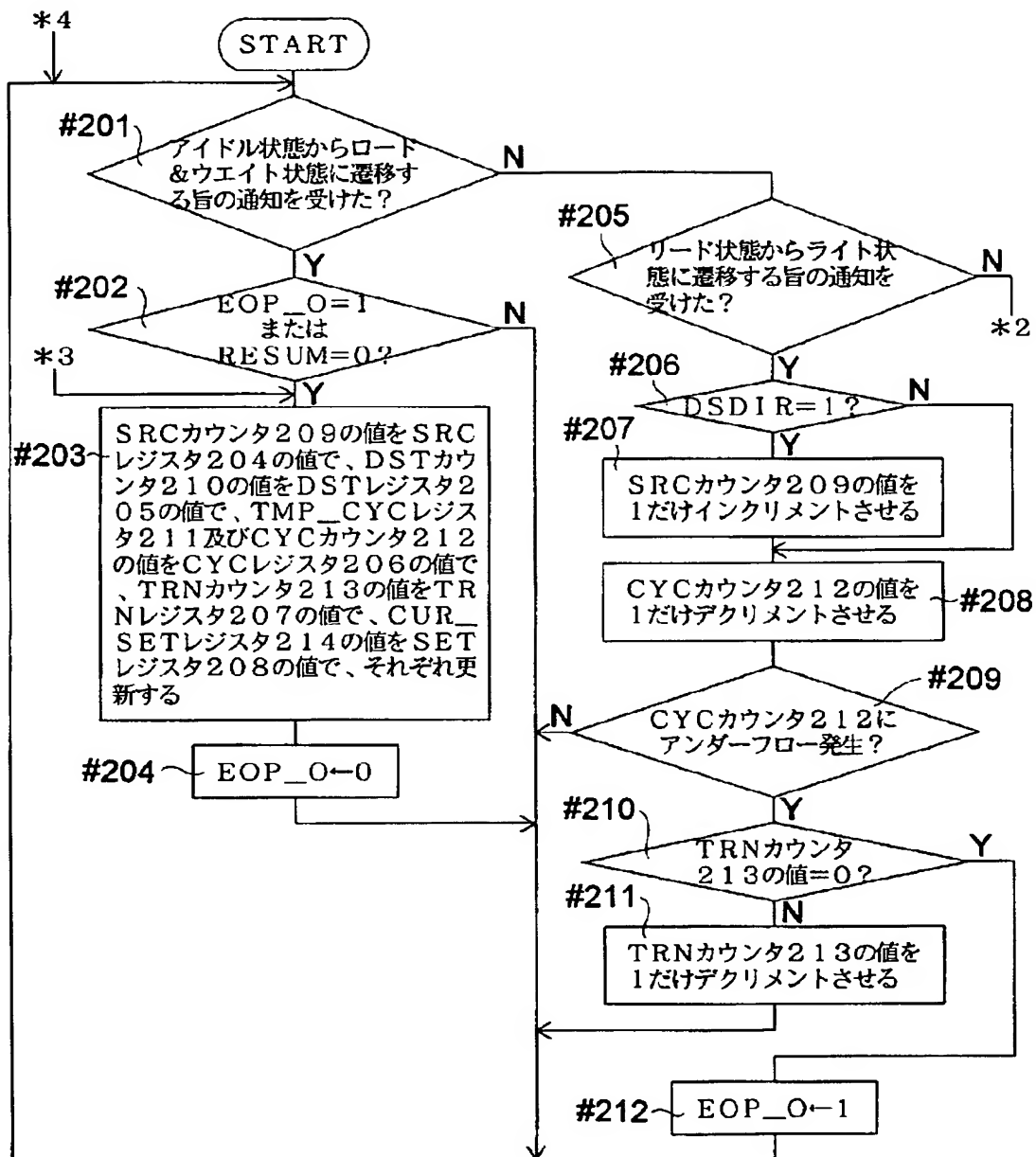
【図 2】



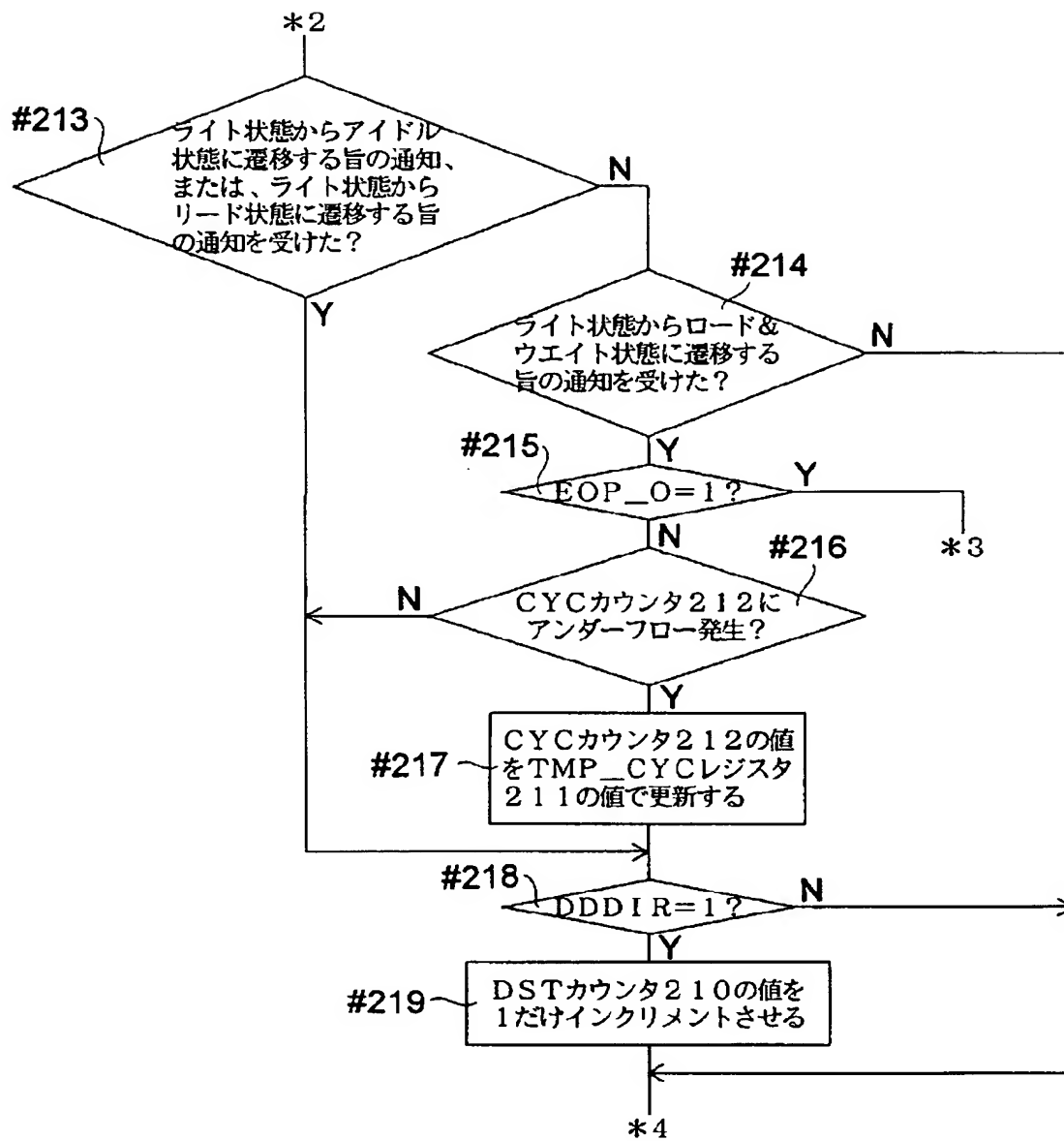
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 タスクスイッチング等によるCPUの処理時間の浪費を低減させることができるようにしたDMAコントローラを提供する。

【解決手段】 CPUがDMA転送の設定を行うための設定用レジスタ（204～208）と、設定用レジスタ（204～208）に記憶されているデータを書き込むための動作用レジスタ（209～214）と、DMA転送を行うにあたって設定用レジスタ（204～208）に記憶されているデータを動作用レジスタ（209～214）に書き込む動作制御手段（202）と、動作用レジスタ（209～214）に記憶されているデータに基づいてDMA転送を実行する転送実行手段（201）と、を備える。

【選択図】 図2

特願 2 0 0 2 - 2 7 7 2 8 9

出 願 人 履 歷 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1 . 変 更 年 月 日

1 9 9 0 年 8 月 2 2 日

[変 更 理 由]

新 規 登 録

住 所

京 都 府 京 都 市 右 京 区 西 院 溝 崎 町 2 1 番 地

氏 名

ロ ー ム 株 式 会 社